

Compte rendu de la journée RGE du 14 février 2013 à Belfort, organisée par l'IUT de Belfort-Montbéliard

Stéphane Vialle

Le RGE a tenu une réunion le 14 février 2013 à l'IUT de Belfort-Montbéliard. L'organisateur de la journée était Raphaël Couturier (Université de Franche-Comté). Cette réunion a rassemblé un total de 29 participants (27 chercheurs académiques et 2 personnes du monde industriel). Les laboratoires du RGE représentés le 14 février 2013 étaient les suivants : CRESTIC, FEMTO-ST, ICUBE, LE2I, LORIA, UMI GT-CNRS, implantés dans les villes de Belfort, Besançon, Dijon, Metz, Montbéliard, Nancy, Reims et Strasbourg. Nos 2 collègues industriels venaient de Boulogne-Billancourt et Mulhouse. Enfin on notera également la participation de deux représentants des méso-centres de calcul de Reims et de Franche-Comté, parmi les 27 chercheurs académiques.

Cette journée RGE était une journée thématique sur le « calcul parallèle sur accélérateurs matériels ». Elle incluait deux exposés invités industriels : un exposé de la société ANEO concernant des *recherches et retour d'expérience sur Xeon-phi*, et un exposé de la société Amadeus Systems sur *les technologies FPGA*. La journée comprenait également 5 exposés scientifiques de membres du RGE, qui ont présenté principalement des travaux sur GPU, mais aussi sur FPGA. Cette journée aura donc permis de présenter des travaux sur FPGA, GPU et Xeon-phi : 3 types différents d'accélérateurs matériels. Comme à l'accoutumé une table ronde a clôturé la journée, pendant laquelle le changement de responsable du GDR ASR et le changement du responsable du RGE ont été rappelés, ainsi que les futures journées RGE (pour lesquelles une incertitude sur le financement plane actuellement).

Exposés invités :

1. Damien Dubuc, ANEO. *Recherches et retour d'expérience sur Xeon-phi*.

La société ANEO a expérimenté la parallélisation de code sur Xeon-phi, en partenariat avec INTEL. Cet exposé a présenté les démarches et performances obtenues par *multithreading* ou par *vectorisation* de code sur Xeon-phi (le cumul des deux démarches n'ayant pas encore donné de résultats probants). La possibilité de récupérer des bibliothèques existantes d'INTEL (comme la MKL) sur Xeon-phi semble très intéressant. En revanche, le développement « à la main » demande encore beaucoup d'efforts au développeur. Mais globalement, les performances obtenues sont significatives et la documentation (notamment celle de l'environnement « LEO » d'INTEL) semble suffisante pour découvrir cette nouvelle gamme d'accélérateurs.

2. Nicolas Colombain, Société Amadeus Systems. *Exposé sur les technologies FPGA*.

Amadeus Systems réalise des systèmes à base de FPGA, et donc développe de nombreux algorithmes sur FPGA. Cet exposé d'introduction et de retour d'expérience sur FPGA a mis en évidence la nature parallèle de ce type de composant, mais aussi le besoin d'implanter un séquenceur, la difficulté à faire des calculs flottants et à s'interfacer avec un périphérique (il semble préférable de s'interfacer à un CPU qui pilotera le périphérique). En résumé, les FPGA apparaissent bien adaptés pour des traitements temps-réels de flux de données, mais restent longs à programmer : un développement « quick & dirty » n'est pas possible sur ces architectures. Des outils de développement de haut niveau progressent, mais semblent manquer encore de maturité. L'utilisation d'un FPGA comme coprocesseur scientifique n'est pas encore évidente. A noter que Matlab peut déjà générer du code pour FPGA, et donne des performances intéressantes.

Exposés scientifiques traditionnels :

3. Gilles Perrot, FEMTO-ST, Belfort. *Filtres médian sur GPU.*
4. Guillaume Laville, FEMTO-ST, Besançon. *Accélération d'une simulation de sol sur GPU.*
5. Lilia Ziane Khodja, FEMTO-ST, Belfort. *Solveurs parallèles non linéaires creux des problèmes de l'obstacle sur des grappes GPU.*
6. Arnaud Renard, CReSTIC, Reims. *Retour d'expérience du calcul sur GPU au méso-centre ROME0.*
7. Gwenhaël Goavec-Merou, FEMTO-ST, Besançon. *Générateur de coprocesseur pour le traitement de données en flux (vidéo ou similaire) sur FPGA.*

Table ronde :

Comme à l'accoutumée, la table ronde fut l'occasion de donner des nouvelles du GDR ASR, des opportunités de candidatures dans les laboratoires du RGE, des manifestations scientifiques prévues dans la communauté, et de planifier les futures journées RGE.

Stéphane Vialle a confirmé la fin de son engagement dans le RGE en tant que responsable, et a passé la main à Sylvain Rampacek, Maître de Conférences à l'Université de Bourgogne à Dijon. Stéphane Vialle a donc animé une dernière fois la table ronde du RGE (après avoir commencé au début 2005).

- Le GDR ASR est maintenant piloté par Patrick Senac (Professeur à l'ISAE et chercheur au LAAS à Toulouse). A ce jour nous n'avons pas encore eu d'information sur le budget du GDR ASR pour 2013, ni sur les possibilités de financement du RGE.

Sylvain Rampacek et Stéphane Vialle vont contacter ensemble Patrick Senac pour connaître ces possibilités de financement.

- Rappel : le comité de pilotage d'ASR a validé en juillet 2012 l'évolution du RGE. Nous nous sommes fixé d'organiser essentiellement des réunions thématiques. L'objectif est d'organiser chaque année 3 journées (comme par le passé) :

- Une journée thématique autour des thèmes des « réseaux informatiques » et de leurs nouveaux défis.
- Une journée thématique autour des thèmes et défis associés au « calcul » (intensif et parallèle).
- Une journée sur un thème émergent, de préférence à la limite des réseaux et du calcul, ou une journée pluridisciplinaire si la demande se fait sentir.

- La journée RGE suivante aura lieu à Besançon autour du thème des Systèmes d'Exploitation (sur une proposition de Bertil Foliot lors de la dernière réunion de pilotage du GDR ASR). Nous nous attacherons toutefois à relier cette journée à des thèmes traditionnels du RGE, par exemple en étudiant les aspects des systèmes d'exploitation utiles aux réseaux de capteurs ou aux systèmes de calculs distribués.

Jean-Marc Menaud (animateur du pôle Système) a manifesté son intérêt auprès de Stéphane Vialle pour une telle journée, et pourrait y contribuer.

Mais le manque de visibilité du financement du RGE à travers le GDR ASR, nous oblige toutefois à être prudents sur l'organisation de cette journée :

- Nous l'avons initialement planifiée le 30 mai 2013 (à Besançon).
- Si aucun financement n'est disponible d'ici là, il faudra décider entre (1) reporter cette journée à octobre (et n'avoir tenu que deux journées RGE en 2013), ou (2) chercher d'autres sources de financement (une journée RGE coûte entre 800 et 1400 Euros).

Dates des prochaines journées RGE :

- A PRIORI (sous réserve de financement) : Jeudi 30 mai 2013 au LIFC à Besançon : journée thématique sur les systèmes d'exploitation, avec des focus sur les besoins des réseaux de capteurs et des plates-formes de calculs distribuées.
Organisateur : Hervé Guyennet (Herve.Guyennet@femto-st.fr).

Journée à organiser en liaison avec Bertil Folliot (Paris 6 – GDR ASR) et avec Jean-Marc Menaud (pôle System d'ASR).

- La journée suivante sera fixée une fois que le financement du RGE à travers le GDR ASR sera confirmé.