

Générateur de coprocesseur pour le traitement de données en flux (vidéo ou similaire) sur FPGA

Gwenhaël GOAVEC-MEROU

Armadeus Systems

Michel LENCZNER

Femto-st Département Temps-fréquence

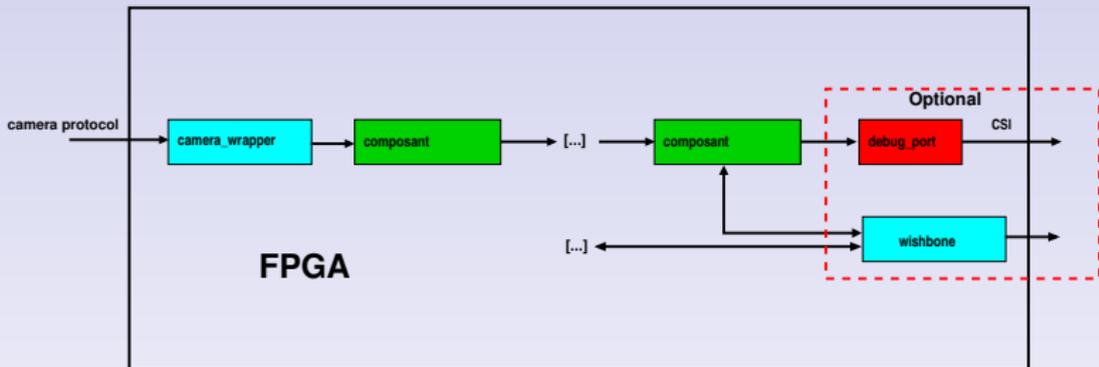
15 février 2013

Avantages du FPGA :

- temps-réel ;
- possibilité de qualifier un composant HDL ;
- souple

Difficultés :

- nature du FPGA ;
- langage dédié ;
- contraintes temporelles ;
- aspects synchrone, asynchrone, concurrent



Outil de génération de chaîne de traitement :

- permet à un utilisateur non spécialiste d'obtenir des chaînes de traitements vidéos ;
- basé sur des implémentations d'algorithmes existants ;
- gère l'analyse des solutions possibles ;
- destiné à produire un binaire à destination d'un FPGA.

Algorithmes de traitements d'images

Générateur
de
coprocesseur
pour le
traitement
de données
en flux
(vidéo ou
similaire)
sur FPGA

G.
GOAVEC-
MEROU

FPGA

CoGen

Analyses
d'algo-
rithmes

Les blocs

Représentation
temporelle
d'un bloc

Validation
des
interfaces

Validation
du fonction-
nement de
CoGen

Bilan

Choix du flux vidéo :

- flux borné ;
- bi-dimensionnel

But :

- définir les besoins en terme d'informations propagées ;
- définir des cas d'utilisations ;
- classification : ponctuel, zone, ligne, image ;
- type entrées-sorties : vidéo-vidéo, vidéo-données ;
- type de traitement : pixel, matriciel, ...

Nature et description des blocs

Un bloc \Rightarrow description XML des caractéristiques d'un périphérique d'acquisition ou de propagation, d'un algorithme et des implémentations

3 types de blocs :

- blocs initiaux : convertisseur de flux périphérique vers chaîne ;
- blocs terminaux : convertisseur de flux chaîne vers périphériques ;
- blocs de traitement : algorithme avec une ou plusieurs implémentations

Description :

- typage des blocs avec des interfaces spécifiques par type ;
- consommation de ressources ;
- paramètres du bloc à fournir par l'utilisateur
- caractéristiques temporelles et comportementales ;

Représentation des durées d'un bloc

Utilisation de motif pour :

- la capacité d'un bloc à recevoir des informations (acceptance)
- la représentation de la sortie d'un bloc (sortance)

Avec :

- * : un volume arbitraire de données
- [] : un sous-motif
- () : la répétition du motif se trouvant à gauche

Exemples pour l'entrée :

- 1^* : le bloc accepte toujours des données
- $[01]^*$: le bloc accepte une donnée tous les deux cycles

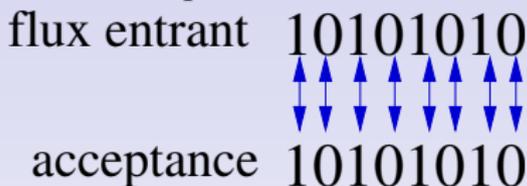
Exemples pour la sortie :

- 1^* : toutes les données en entrées seront propagées
- $[01] (w \cdot h / 2)$: une donnée sur deux sera supprimée

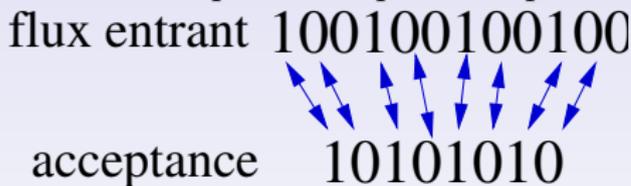
Analyse de la capacité entrante

Analyse de l'acceptance d'un bloc :

- flux identiques :



- flux entrant plus lent que l'acceptance :



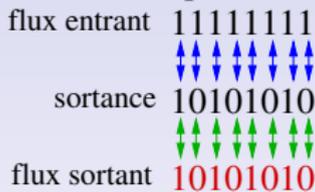
- flux non compatible car trop rapide :



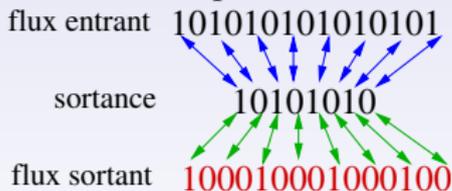
Génération du flux sortant

Génération du flux sortant d'un bloc, perte d'un pixel sur deux :

- flux identiques :



- flux entrant plus lent :

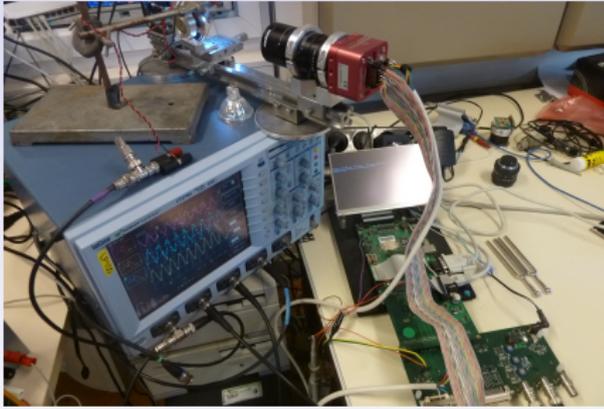
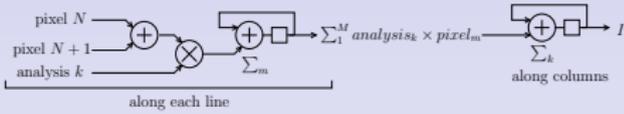


Générateur de coprocesseur pour le traitement de données en flux (vidéo ou similaire) sur FPGA

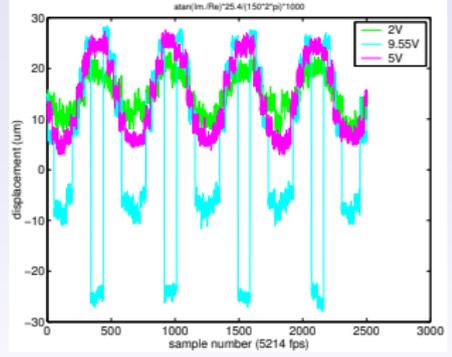
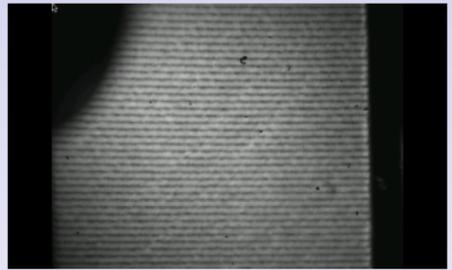
G. GOAVEC-MEROU

FPGA
CoGen
Analyses d'algorithmes
Les blocs
Représentation temporelle d'un bloc
Validation des interfaces
Validation du fonctionnement de CoGen
Bilan

Validation interfaces



⇒ 23 000 images/sec



Analyse de deux chaînes :

- caméra → détecteur de contours → affichage
- caméra → décimateur → détecteur de contours → affichage

Deux FPGAs cadencés à 100 MHz :

- un Xilinx Spartan 6 LX45 avec 58 DSP48 (incluant la fonction de multiplication)
- un Xilinx Spartan 3 A200 avec 16 multiplieurs

Deux caméras, une cadencée à 100 MHz et une à 50 MHz.

Cas 1 : utilisation massive de DSP48

Générateur de coprocesseur pour le traitement de données en flux (vidéo ou similaire) sur FPGA

G. GOAVEC-MEROU

FPGA

CoGen

Analyses d'algorithmes

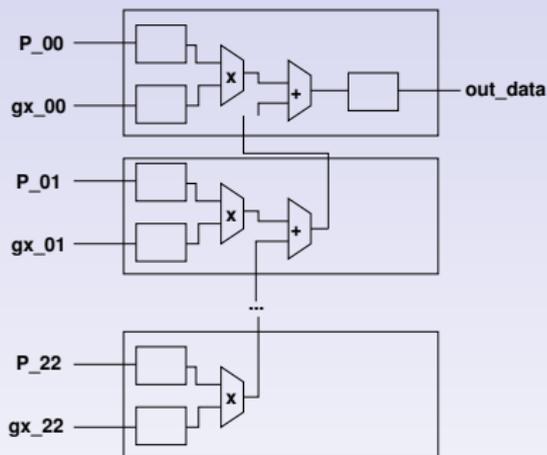
Les blocs

Représentation temporelle d'un bloc

Validation des interfaces

Validation du fonctionnement de CoGen

Bilan



- 18 DSP48 utilisés
- 1 cycle de latence
- acceptance en $1(\text{IMG_HEIGHT} * \text{IMG_WIDTH})$

Cas 2 : utilisation massive de multiplieurs

Générateur de coprocesseur pour le traitement de données en flux (vidéo ou similaire) sur FPGA

G.
GOAVEC-
MEROU

FPGA

CoGen

Analyses d'algorithmes

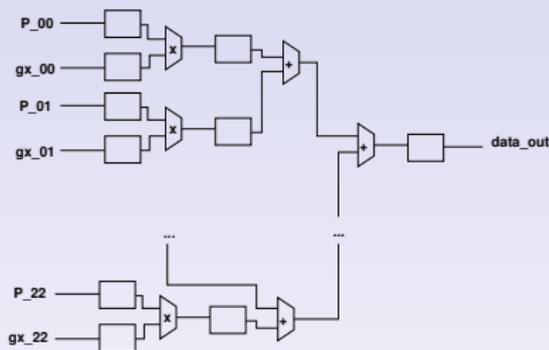
Les blocs

Représentation temporelle d'un bloc

Validation des interfaces

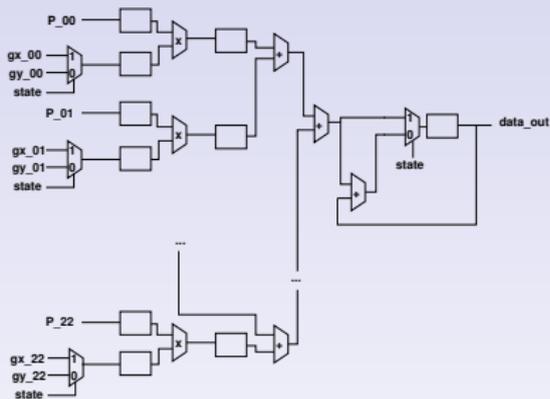
Validation du fonctionnement de CoGen

Bilan



- 18 multiplieurs utilisés
- 2 cycles de latence
- acceptance en $1(\text{IMG_HEIGHT} * \text{IMG_WIDTH})$

Cas 3 : utilisation moyenne de multiplieurs



- 9 multiplieurs utilisés
- 3 cycles de latence
- acceptance en $[10](\text{IMG_HEIGHT} * \text{IMG_WIDTH})$

Première chaîne :

- Spartan6 :
 - caméra 100 MHz : les solutions 1 et 2 sont retenues
 - caméra 50 MHz : la solution 3 est également retenue
- Spartan3 :
 - caméra 100 MHz : aucune solution acceptable
 - caméra 50 MHz : la solution 3 est la seule possible

Seconde chaîne :

- Spartan6 :
 - caméra 100 MHz : les solutions 1, 2 et 3 sont retenues
 - caméra 50 MHz : même résultat
- Spartan3 :
 - caméra 100 MHz : la solution 3 est la seule possible
 - caméra 50 MHz : même résultat

Validé :

- prise en compte des besoins matériels de chaque implémentation
- cohérence des assemblages
- analyse comportementale et temporelle
- évaluation du besoin en ressources d'une manière globale
- sélection de la meilleur solution par analyse des latences globales

A faire :

- utilisation de traitements parallèles
- intégration des RAMs externes
- possibilité de construire une implémentation par composition

Questions ?

