

Compte rendu de la journée RGE du 17 février 2011 à Reims, organisée par le laboratoire CReSTIC de l'Université de Reims Champagne-Ardenne

Stéphane Vialle

Le RGE a tenu une réunion le 17 février 2011 à Reims. L'organisateur de la journée était Jean-Charles Boisson, de l'équipe Syscom du laboratoire CReSTIC de l'Université de Reims Champagne-Ardenne. Cette réunion a rassemblé un total de 31 participants :

- 28 chercheurs provenant des laboratoires et équipes du RGE,
- 2 ingénieurs de la société ADACSYS.
- 1 personne de l'Université Paris-I

Les laboratoires du RGE représentés le 7 octobre 2010 étaient les suivants : CRAN, CReSTIC, GTL, LE2I, LIFC, LORIA & INRIA-Nancy Grand Est, LSiiT, SeT, et SUPELEC, implantés dans les villes de, Belfort, Besançon, Dijon, Metz, Nancy, et Reims.

Cette journée RGE était une journée classique permettant à tous les thèmes du RGE qui le souhaitent de s'exprimer. Huit exposés scientifiques ont été présentés :

- 1 exposé invité,
- 7 exposés de jeunes chercheurs du RGE.

Au total, 6 exposés ont concerné les thématiques du calcul parallèle et distribué, et 2 exposés ont concerné les thématiques du réseau. Enfin, une table ronde a clôturé la journée en faisant le bilan de l'activité du RGE, en présentant des manifestations scientifiques futures et en donnant quelques nouvelles de notre communauté scientifique.

Exposé industriel invité :

1. Conférencier invité : E. Hochapfel & S. Basset - Société Adacsys. *Accélération de calcul sur FPGA.*

Les circuits FPGA (Field Programmable Gate Array) traditionnellement utilisés dans le monde de l'embarqué pour leur faible consommation d'énergie, conquièrent aujourd'hui de plus en plus de domaines. Leur utilisation comme accélérateurs se répand dans le monde HPC (calcul haute performance) ou leurs caractéristiques de parallélisme massif en font des alternatives et/ou des compléments aux many-cores et GPU. Pour les problématiques hautement parallélisables comme les méthodes de Monte-Carlo, ou pour des problématiques temps réelles comme le « low latency trading » avec des feedhandlers, les FPGAs sont un alternatif très convainquant et sont utilisables sans processeur. Quand le calcul est trop complexe pour être entièrement implémenté dans un FPGA, ou quand une partie de la problématique est parallélisable le FPGA est utilisé comme un coprocesseur d'accélération. Cependant la principale barrière à l'utilisation du FPGA est sa « faible programmabilité ». Nous présentons une approche innovante qui permet d'utiliser un système multi-FPGA pour le calcul HPC. Le principe est de proposer une architecture matérielle optimisée pour une problématique donnée, un langage de programmation spécifique, une ouverture de la programmation au seul domaine métier et une interface d'utilisation qui masque le matériel.

Exposés scientifiques de jeunes chercheurs :

2. Gabriel Noaje – CReSTIC, Université de Reims Champagne-Ardenne. *Programmation multiGPU : OpenMP versus MPI.*
3. Pierre-Nicolas Clauss – LORIA, Nancy Université. *Simulation d'applications MPI au sein du simulateur SimGrid.*
4. Iyad Alshabani – CReSTIC, Université de Reims Champagne-Ardenne. *Un framework orienté services pour la gestion des expérimentations sur la grille.*
5. Julien Beaudaux – LSiiT, Université de Strasbourg. *Introduction d'États au Niveau MAC pour Réseaux de Capteurs Efficaces en Énergie.*
6. Marion Guthmuller – LORIA, Nancy Université & ESIAL. *Emulation d'applications distribuées sur des plates-formes virtuelles simulées.*
7. Kahina Ait Ali – UTBM, Belfort. *Study on Vehicular Radio Connectivity.*

Les exposés de cette journée ont couvert un large spectre d'activités du RGE. Les exposés de nos invités E. Hochapfel et S. Basset de la société Adacsys et celui de G. Noaje du CReSTIC ont mis en évidence l'intérêt que portent les communautés académique et industrielle aux « accélérateurs » de calculs, comme les GPU et les FPGA. Les exposés d'I. Alshabani du CReSTIC, et de M. Guthmuller et P-N. Clauss du LORIA ont concerné les besoins d'expérimentation et d'émulation des systèmes distribués et des Grilles. Enfin, les deux exposés de J. Beaudaux du LSiiT et de K. Ait Ali de l'UTBM ont concerné les thématiques réseaux, et plus précisément celles de l'optimisation de la consommation énergétique dans les réseaux de capteurs, et la connectivité dans les réseaux mobiles.

Cette journée RGE a donc permis à de jeunes chercheurs de pratiquement toutes les thématiques du RGE de présenter leurs travaux et de continuer à se rôder à cet exercice, ce qui correspond à l'objectif premier du RGE.

Table ronde de fin de journée : comme à l'accoutumé, cette table ronde a été l'occasion de faire le bilan financier du RGE, de diffuser des informations diverses et de planifier les journées RGE futures.

- Budget 2010 du RGE :
 - Les reliquats du financement 2010 ont été écoulés en finançant cette journée RGE du 17 février 2011. Comme chaque année, les dépenses ont en fait été engagées à la fin de l'année passée. Notre mécanisme de gestion de la journée RGE de février est donc tout à fait au point.
 - Le GDR ASR n'a pas encore reçu ses financements 2011, mais devrait les recevoir. Nous prévoyons de redemander alors le même budget initial que l'an passé (2600 Euros) pour financer les 3 journées RGE qui viennent. Si cette demande est acceptée par le comité de pilotage du GDR ASR, nous procéderons alors à un reversement de financement de la délégation CNRS de Perpignan vers celle de Nancy.
- Autres journées scientifiques :
 - Les 12^{èmes} Journées Doctorales en Informatique et Réseaux (JDIR'11) auront lieu à l'Université de Technologie de Belfort-Montbéliard des 23 au 25 Novembre 2011.
 - La journée « prospective » du GDR ASR qui devrait être organisée fin 2010, n'a pas pu se tenir. La démarche est difficile à mettre en œuvre, mais progresse néanmoins. L'objectif est maintenu et reporté à 2011.
 - L'équipe Syscom du CReSTIC de l'Université Reims Champagne Ardenne organisera l'école de printemps Grid5K du 18 au 21 avril 2011.
- Nouvelles ressources de calcul :
 - Une machine de calcul appelée "clovis" composée de 36 noeuds Westmere-EP à 12 coeurs par noeuds, plus 1 noeud Nehalem à 32 coeurs, et un noeud Westmere à 8 coeurs et 2 GPU Fermi, est installée à Reims au centre de calcul Champagne-Ardenne. Cette machine peut être accessible au membre du RGE, sur demande aux collègues de Reims.
 - Un noeud Grid5K de 44 noeuds AMD bi-socket 12 core sera installé au printemps 2011 à Reims.

Notons enfin que nos collègues de Reims avaient organisé en fin d'après midi une visite d'une cave de champagne, fort appréciée par tous les membres du RGE qui y ont participé. Nous les en remercions vivement.

Dates des prochaines journées RGE :

- Le jeudi 9 juin 2011 à Supélec à Metz.
Journée thématique sur le GPGPU.
Contact : Stéphane Vialle (Stephane.Vialle@supelec.fr)

- Le jeudi 13 octobre 2011 au laboratoire LSIT de Strasbourg.
Cette journée comprendra un tutoriel à la plateforme de réseaux de capteurs SensLab de Strasbourg.
Contact : Antoine Gallais (antoine.gallais@gmail.com)
et : Jean-Jacques Pansiot (jean-jacques.pansiot@unistra.fr).