



A D A C S Y S

Advanced Acceleration Systems

Séminaire RGE REIMS

17 février 2011

■ Agenda

- *ADACSYS*
- Présentation des FPGA
- Spécificité et différences par rapport aux autres accélérateurs
- Nos atouts
- Applications
- Approche innovante

ADACSYS

- Jeune entreprise innovante créée en 2008
- 4 fondateurs, 5 salariés
- Lauréate Nationale du Ministère de la Recherche et du Développement en 2006 et 2008
- Membre du pôle de compétitivité SYSTEM@TIC



pactepme



■ **Activité**

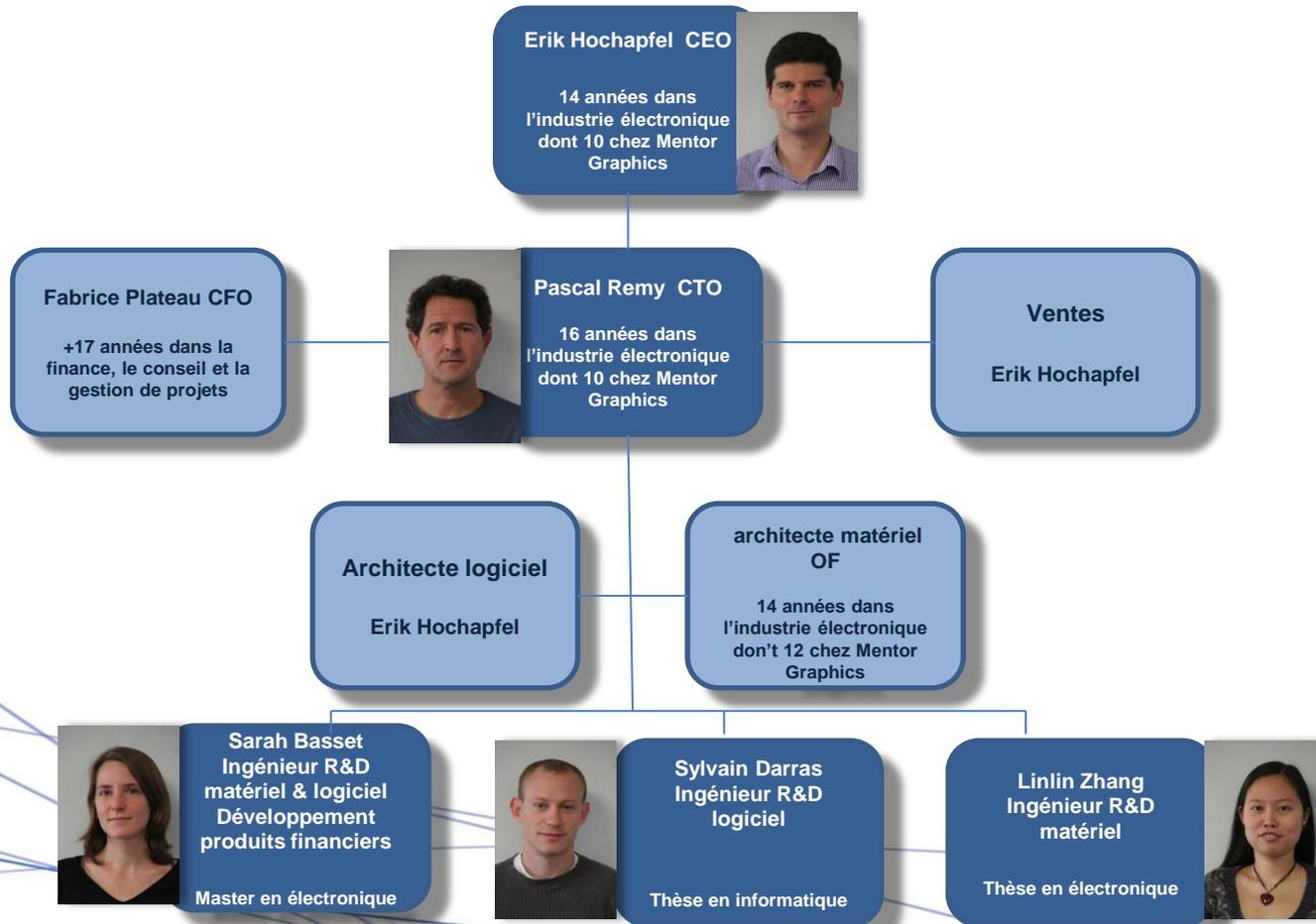
- **Notre expertise porte sur :**

- Les solutions électroniques massivement parallèles d'accélération de calcul multi-FPGA
- Les solutions de vérification matérielle des systèmes électroniques complexes

- **Notre mission :**

- Rendre accessible des solutions d'accélération de calcul en termes de retour sur investissement et de simplicité d'utilisation pour réduire le Time-to-Market de vos produits.

Equipe

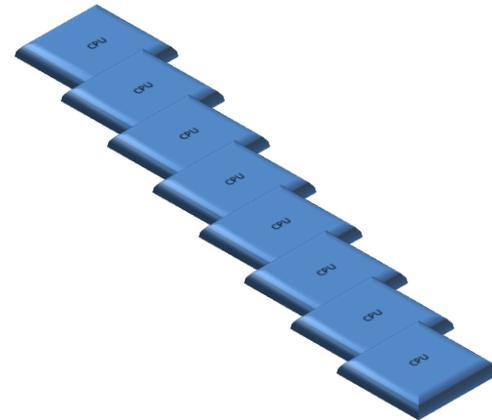


■ Agenda

- ADACSYS
- *Présentation des FPGA*
- Spécificité et différences par rapport aux autres accélérateurs
- Nos atouts
- Applications
- Approche innovante

■ FPGA : des accélérateurs

Comment un FPGA qui fonctionne à 100 MHz -150 MHz
est plus performant
qu'un quadri-cœur à 3 GHz ?

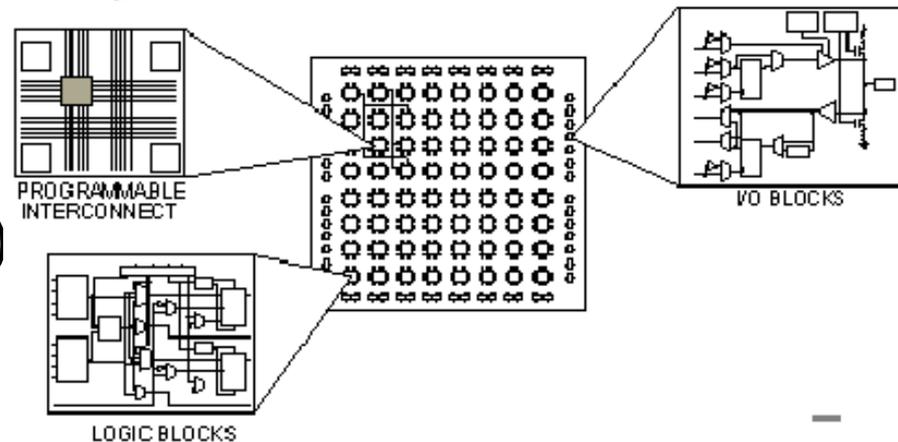


100 MHz – 150 MHz

MHz – 3 GHz

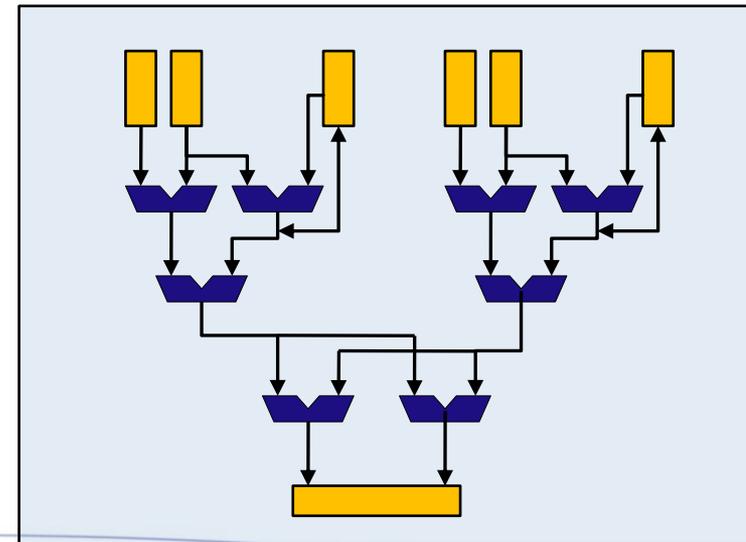
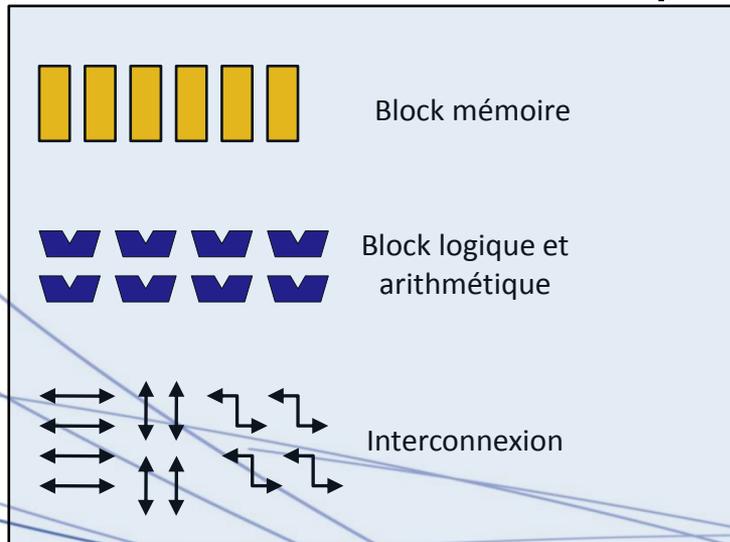
FPGA

- FPGA (Field Programmable Gate Array) : circuit digital composé de :
 - bloc de logique reprogrammable (LUT)
 - réseau d'interconnexion reconfigurable
 - bloc de mémoires
 - entrées sorties
 - liens séries rapides (serdes)
 - Power PC



■ Programmation d'un FPGA

- Modèles de programmation
 - Von Neumann = distribution temporelle
 - FPGA = distribution spatiale



le configurer pour un traitement spécifique

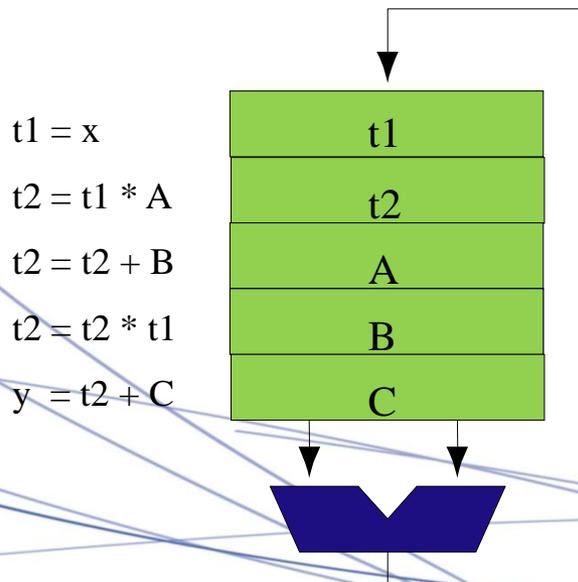
■ Agenda

- ADACSYS
- Présentation des FPGA
- *Différences et spécificités par rapport aux autres accélérateurs*
- Nos atouts
- Applications
- Approche innovante

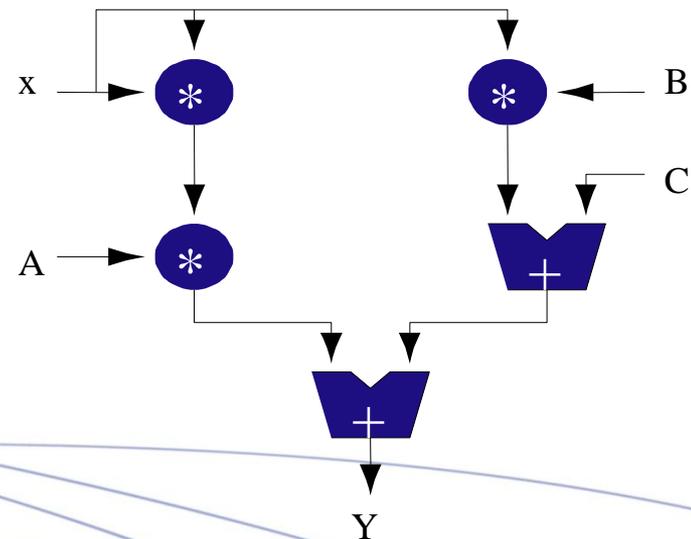
■ Pourquoi la logique reconfigurable est + rapide qu'un processeur

$$y = Ax^2 + Bx + C$$

CPU : Distribution temporelle



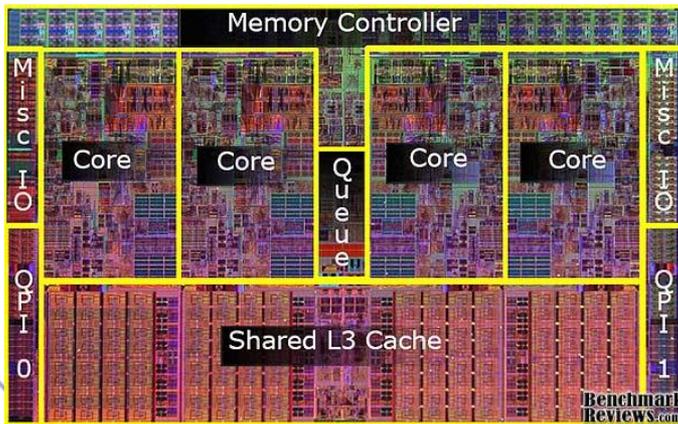
FPGA : Distribution spatiale



■ Forces des FPGA

- **Parallélisme à grain fin**
Les FPGA contiennent des milliers de blocs de calcul indépendants (LUT, DSP)
- **Accès mémoires concurrentielles**
Les FPGA contiennent jusqu'à 500 blocs mémoires indépendants et configurables
- **Communication à grain fin rapide**
communication intra-FPGA à faible latence
- **Reconfigurabilité**
programmé pour le traitement

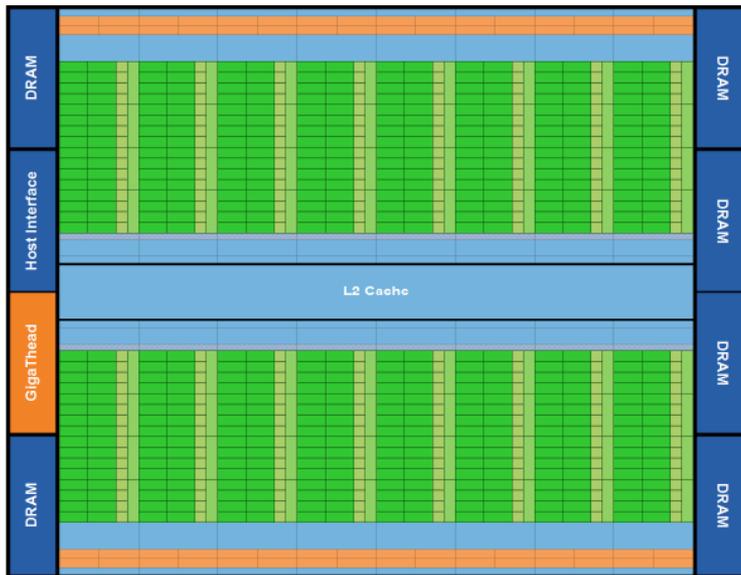
— CPU



Intel Core i7 CPU

- Facile à programmer
- Facile à debugger
- Peu efficace (mauvais partout!)
- Gflops/Watt faible
- Scalabilité moyenne

GPU



CUDA Fermi : 512 cores

- Performance élevée
- Mémoire partagée
- Architecture figée
- Effort de programmation
- Debugage moyen
- Scalabilité réduite, nécessite des CPU

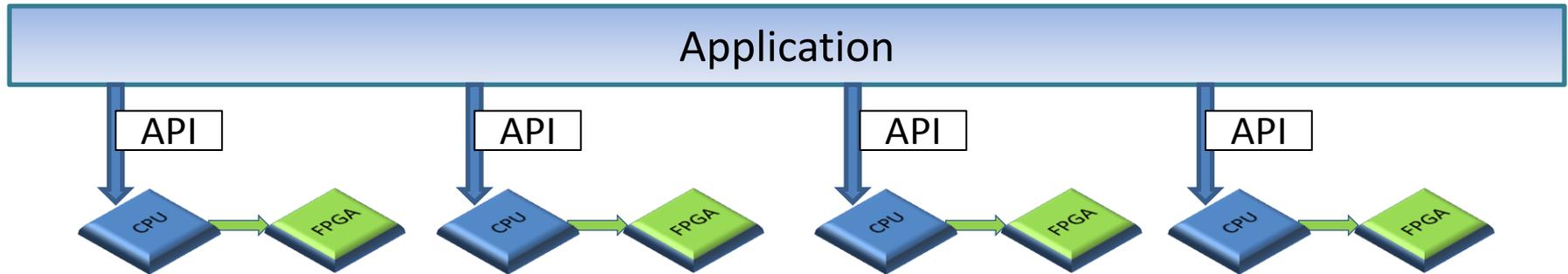
■ FPGA



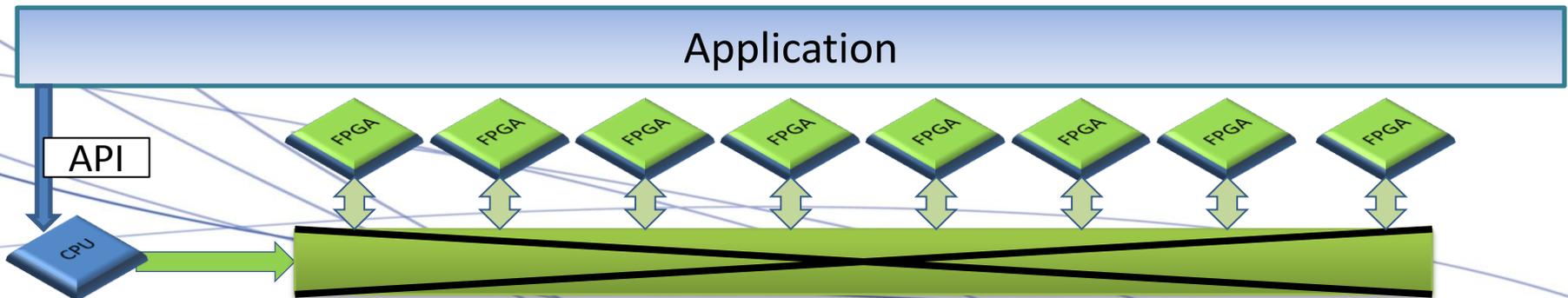
- Très performant sur certaines problématiques
- Faible consommation 5W-10W
- Excellent rapport GFlops/Watt
- Très forte scalabilité
- Difficile à programmer
- Difficile à debugger

Utilisation du FPGA

- Historiquement : monde embarqué
- HPC : mode accélérateur



- HPC : mode autonome



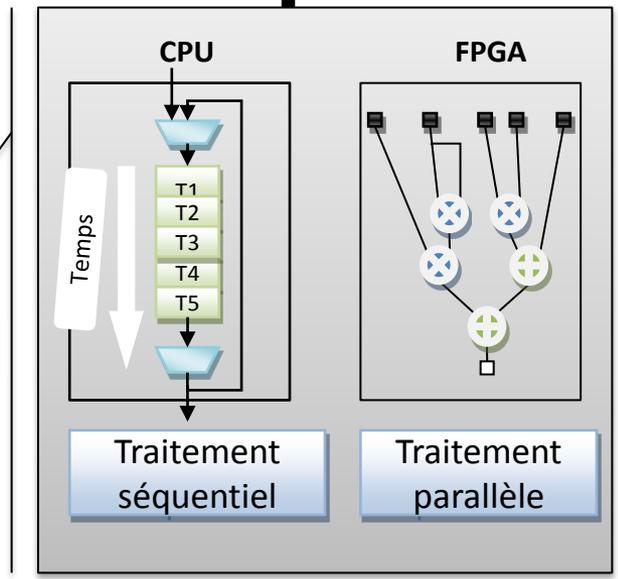
■ Agenda

- ADACSYS
- Présentation des FPGA
- Spécificité et différences par rapport aux autres accélérateurs
- *Nos atouts*
- Applications
- Approche innovante

Expertise

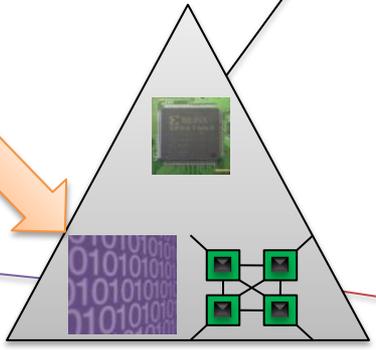
Applicatifs métiers

Multi-FPGA

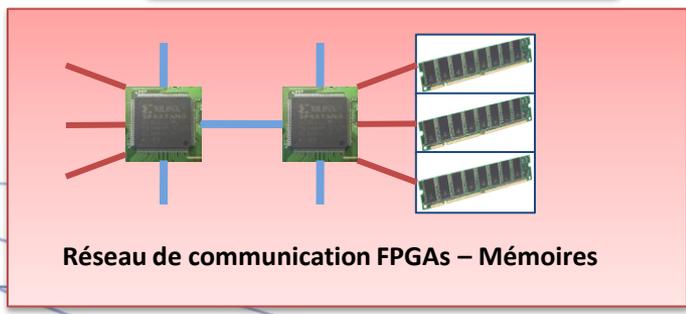


Middleware logiciel

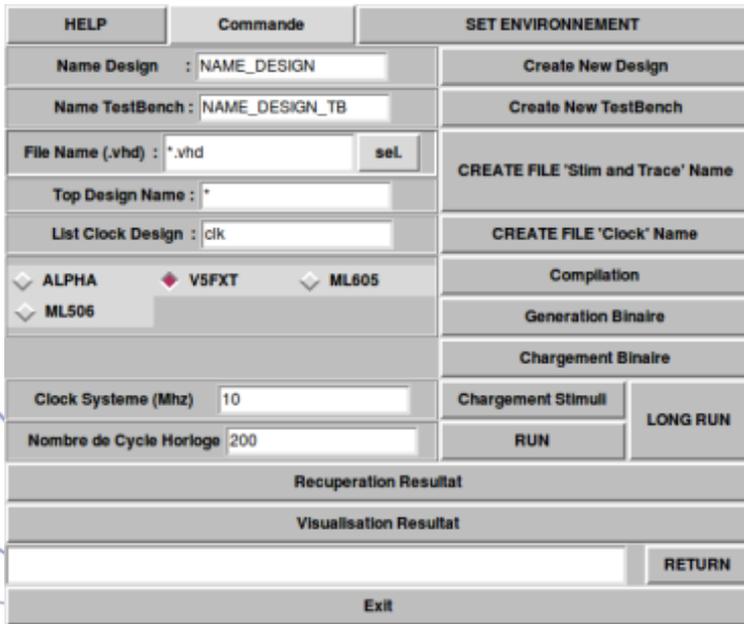
- Logiciels bas niveau internes :
- traitements internes (transformations)
 - interfaces matériel/logiciel
 - interfaces métier (API)



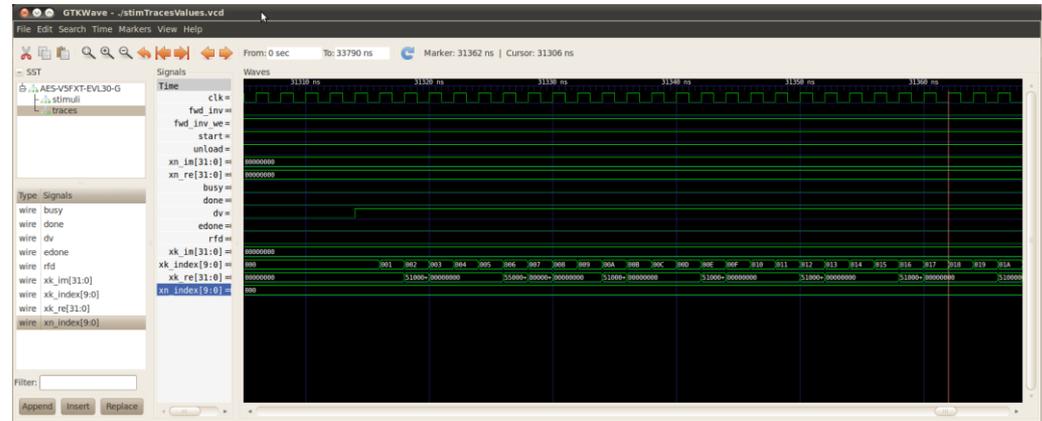
Réseau d'interconnexion



AVA-Soft : outil propriétaire de mise au point sur FPGA



GUI : génération des fichiers de programmation



GUI : debug sur FPGA

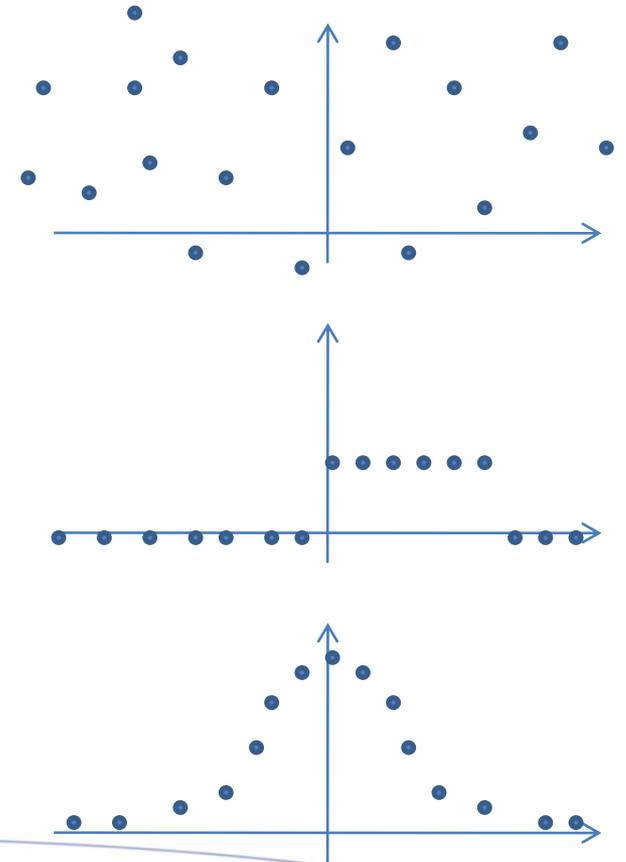
■ Agenda

- ADACSYS
- Présentation des FPGA
- Spécificité et différences par rapport aux autres accélérateurs
- Nos atouts
- *Applications*
- Approche innovante

■ Génération de nombres aléatoires

programmation de séquences binaires aléatoires (de distribution uniforme, normale ou autre).

débit des générateurs de nombres aléatoires

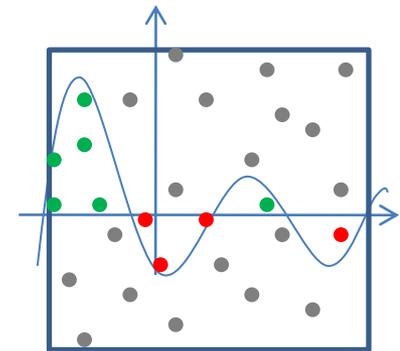


■ Méthodes de Monte-Carlo

Méthodes statistiques s'appuyant sur un grand nombre de nombres aléatoires permettant de déterminer une valeur numérique.

Exemples :

- Calcul de surface, d'intégrales
- calcul de prix d'option
- valorisation de portefeuille



■ Calcul financier : Option

Qu'est-ce qu'une option?

Contrat avec possibilité d'acheter ou de vendre un actif à une date et un prix préétablis



Actifs : Actions, matières premières, denrées,...



Maturité : Date de la possibilité d'exécution du contrat

Prix d'exercice : prix de vente ou d'achat de l'actif à la maturité

Volatilité : facteur de risque d'instabilité de l'action

Calcul financier : L'algorithme de Black et Scholes

Pour couvrir un risque dans le futur, il faut couvrir un risque infinitésimal tous les jours

Le calcul de Black et Scholes

$$dS_t = \mu S_t dt + \sigma S_t dz, z \in N(0,1)$$

Pour déterminer le sous-jacent S_t

Sous-jacent S_t : Projection du prix de l'actif au moment de l'exécution du contrat

Payoff : Plus-value du souscripteur de l'option d'achat

Résolution équation différentielle → méthode de Monte-Carlo

Calcul financier : évaluation d'actifs

Calcul stochastique de type Monte Carlo pour le calcul de l'évolution du prix d'une option jusqu'à son exercice.

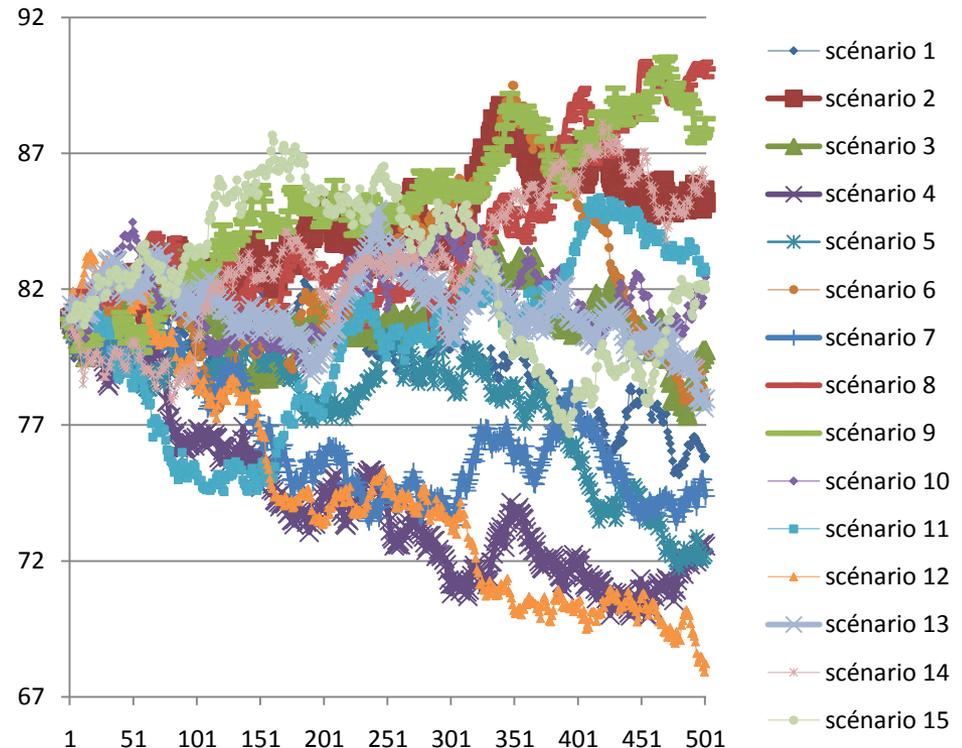
Black et Scholes associé à Monte-Carlo :

$$S_t = S(t-1) * \exp(R + SD * alea)$$

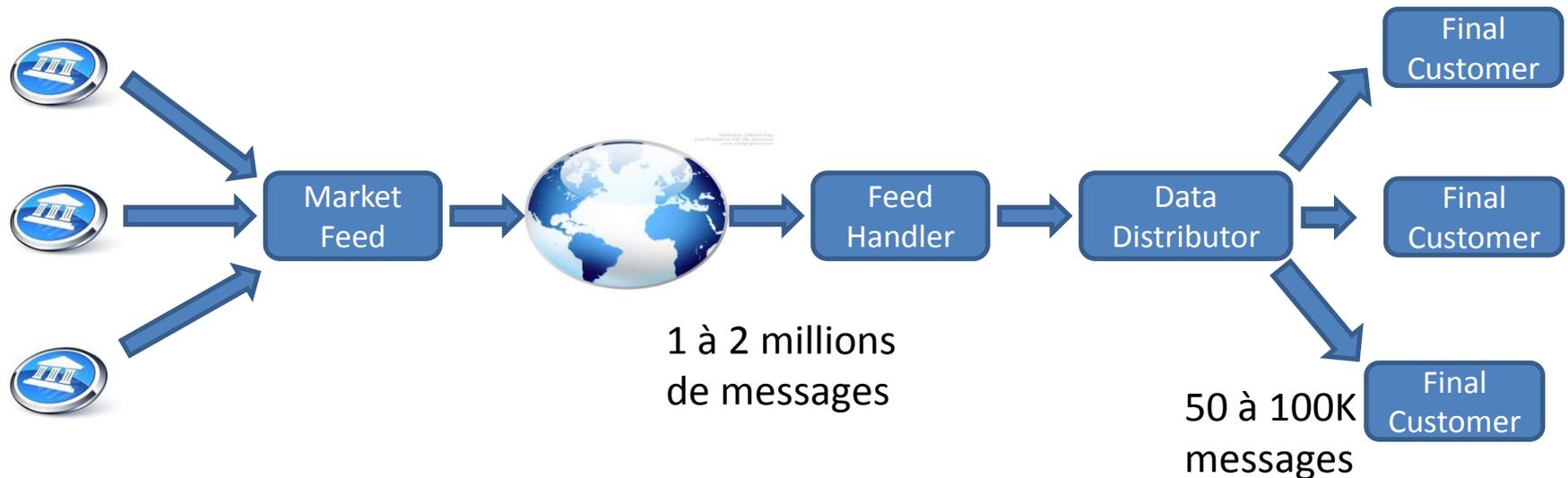
$\Delta t = \text{Maturity} / \text{Number of Monte-Carlo Points}$

$$R = (\text{rate} - 0.5 * \text{volatility}^2) * (\Delta t)$$

$$SD = \text{volatility} * \text{sqrt}(\Delta t)$$



■ Problématiques de Low Latency Trading

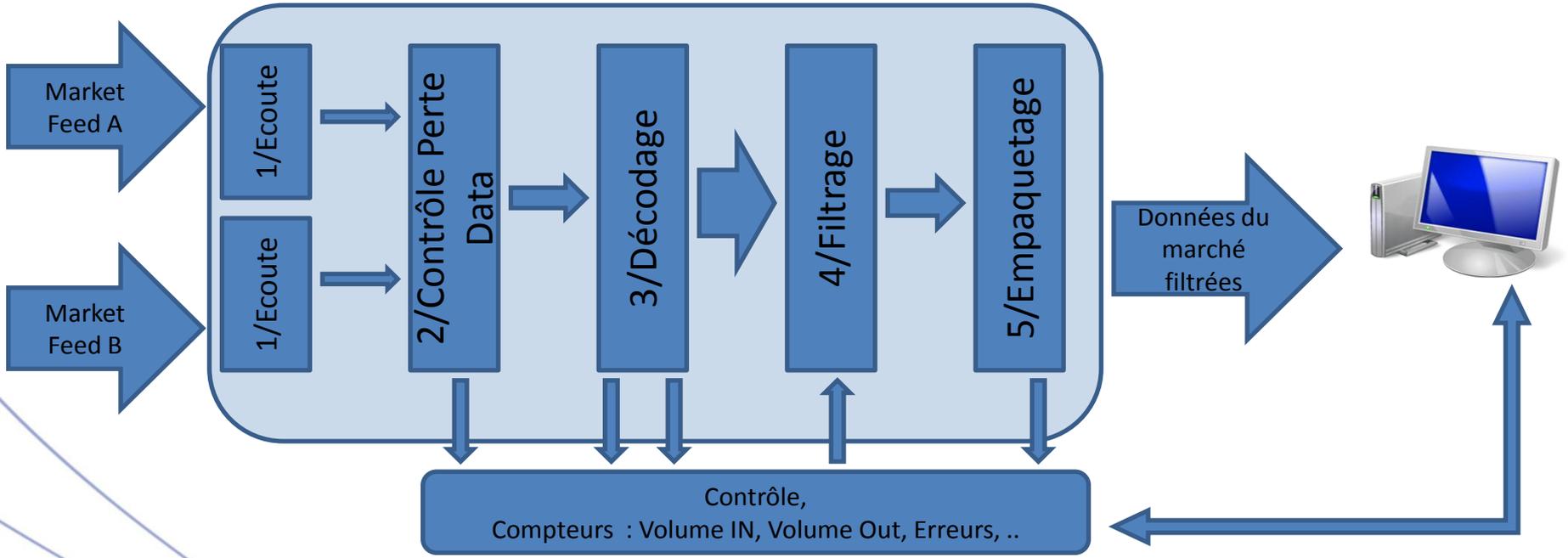


Problématiques Low Latency Trading :

Accès rapide à des données financières arrivant de diverses places boursières réparties tout autour du monde.

Chaque élément de la chaîne de transmission de l'information doit avoir la célérité maximale (fibres optiques pour les câbles de transmission d'information, ..) et utilisation d'un protocole de compression très performant car adapté à la problématique (FastFix).

Feed Handler



■ Agenda

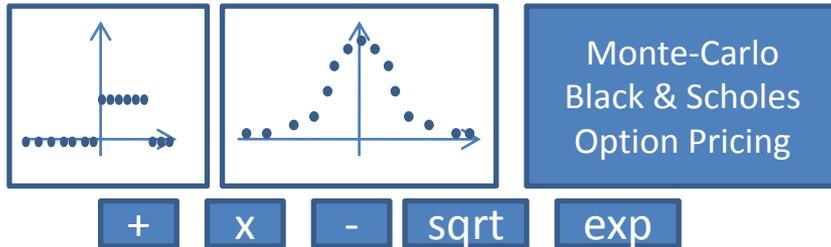
- ADACSYS
- Présentation des FPGA
- Spécificité et différences par rapport aux autres accélérateurs
- Nos atouts
- Applications
- *Approche innovante*

■ AAA et DSL

- Pour ouvrir la puissance de calcul des FPGA, l'approche est de proposer suivant les problématiques :
 - Une API logicielle d'accès transparent au FPGA
 - Une architecture dédiée et optimisée pour la problématique
 - Prise en charge de l'intégration matérielle sur FPGA
 - Un espace de programmation haut niveau pour programmer une partie du FPGA

DSL et banque de modules de calcul

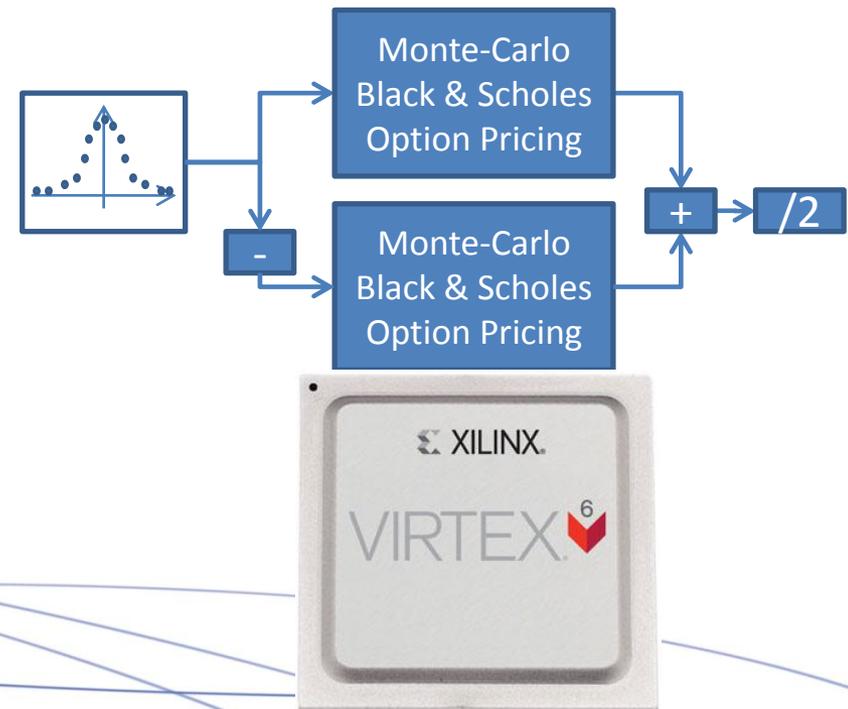
Banque de modules de calcul



Code haut niveau

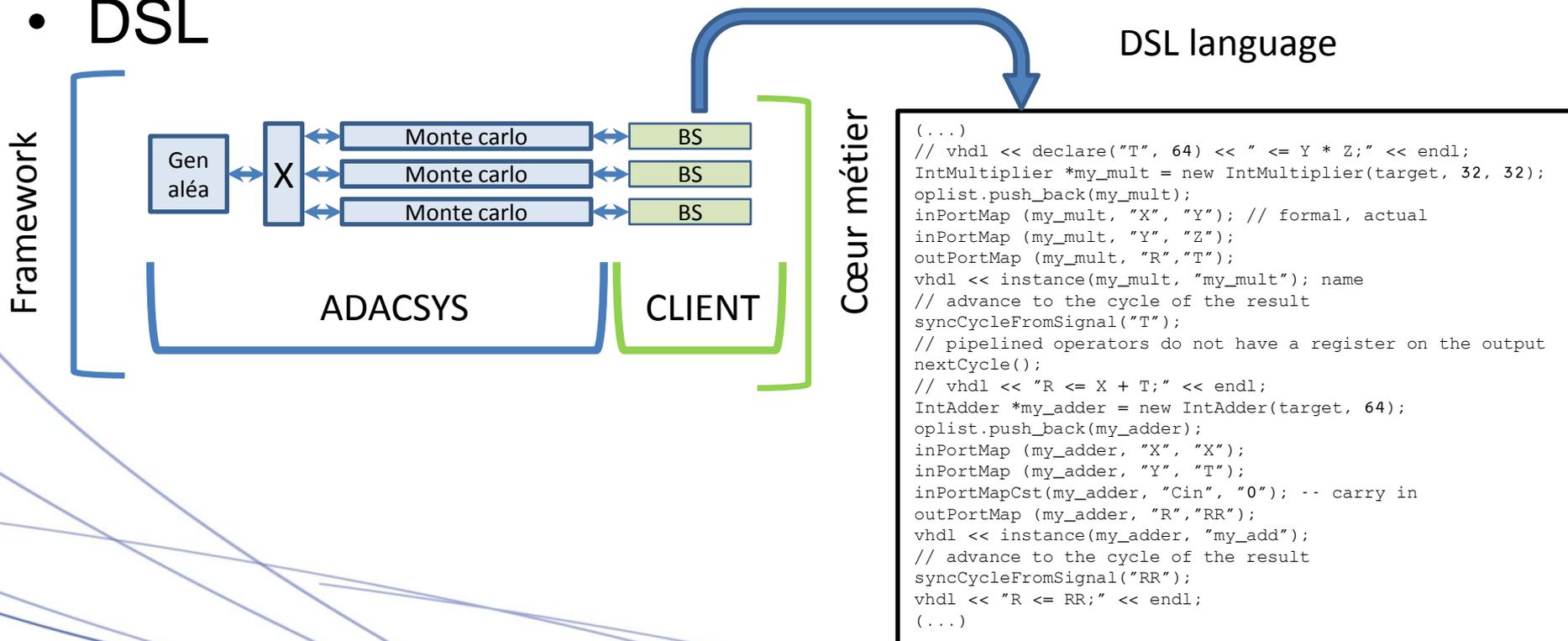
```
class MAC : public Operator
{
public:
// The constructor
MAC(Target* target): Operator(target)
{
setName("MAC");
// Set up the IO signals
addInput ("X" , 64);
addInput ("Y" , 32);
addInput ("Z" , 32);
addOutput("R" , 64);
vhdl << declare("T", 64)
<< "<= Y * Z;" << endl;
vhdl << "R <= X + T;" << endl;
}
// the destructor
~MAC() {}
}
```

Implémentation matérielle du code logiciel

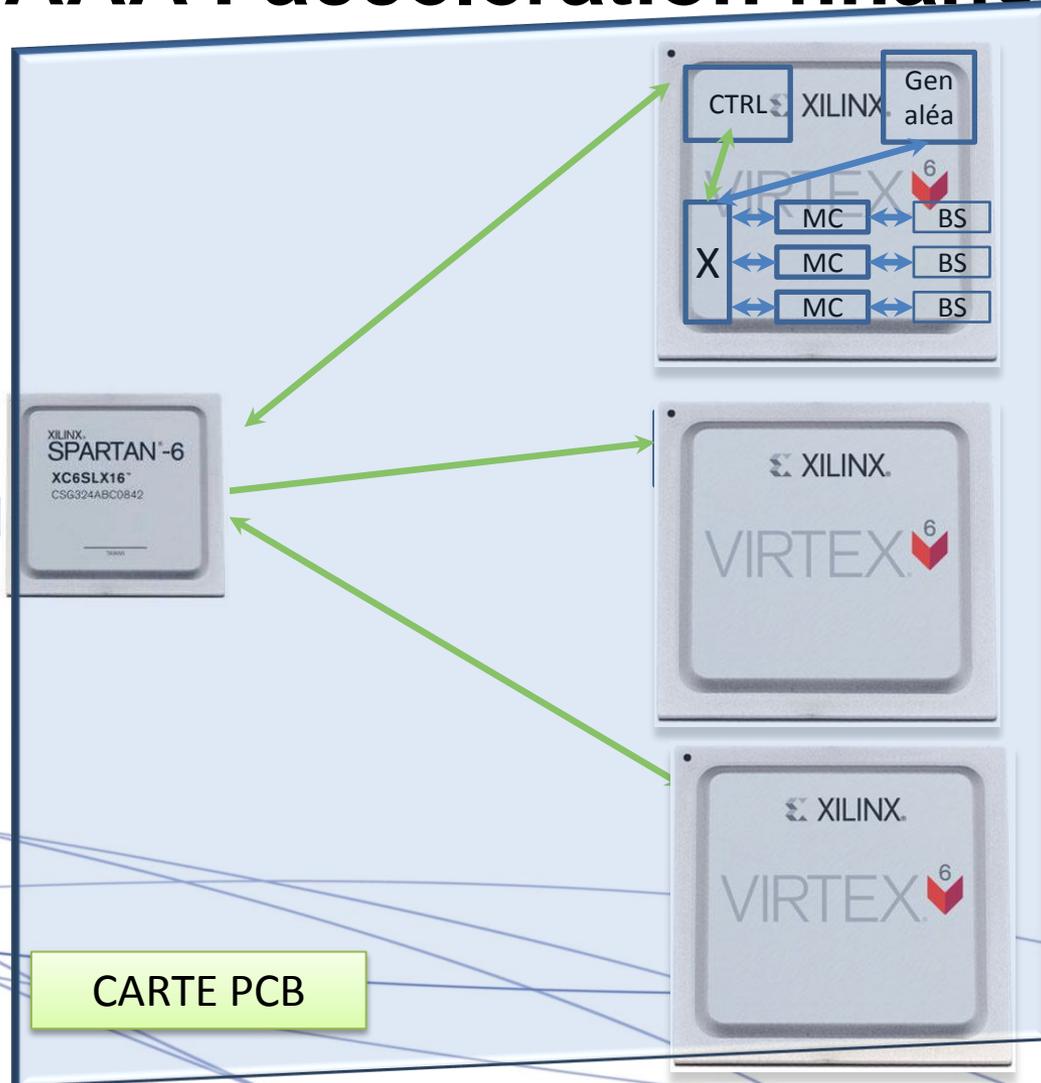


DSL : accélération financière

- DSL

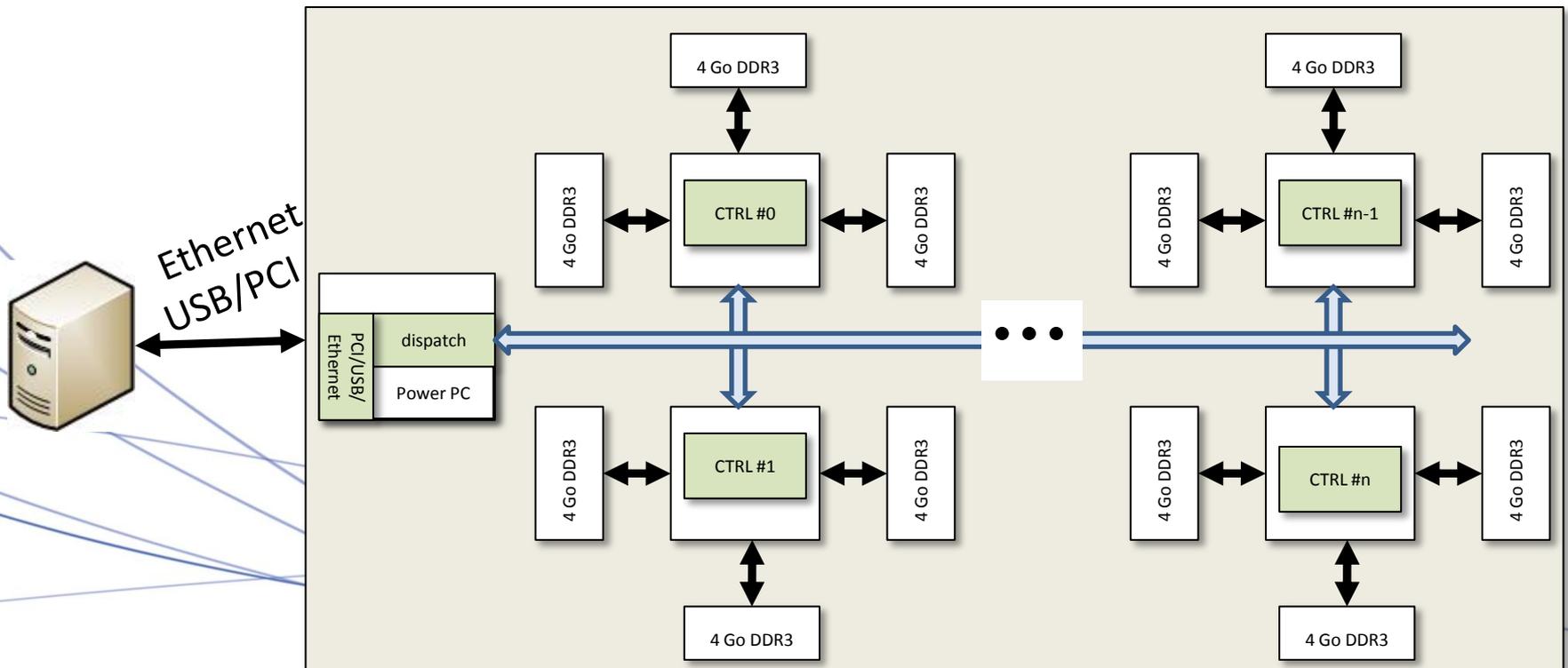


AAA : accélération financière



AAA : accès aux bases de données

- Architecture dédiée aux accès bases de données
- Principe : lever la contrainte d'accès aux mémoires



■ Conclusion

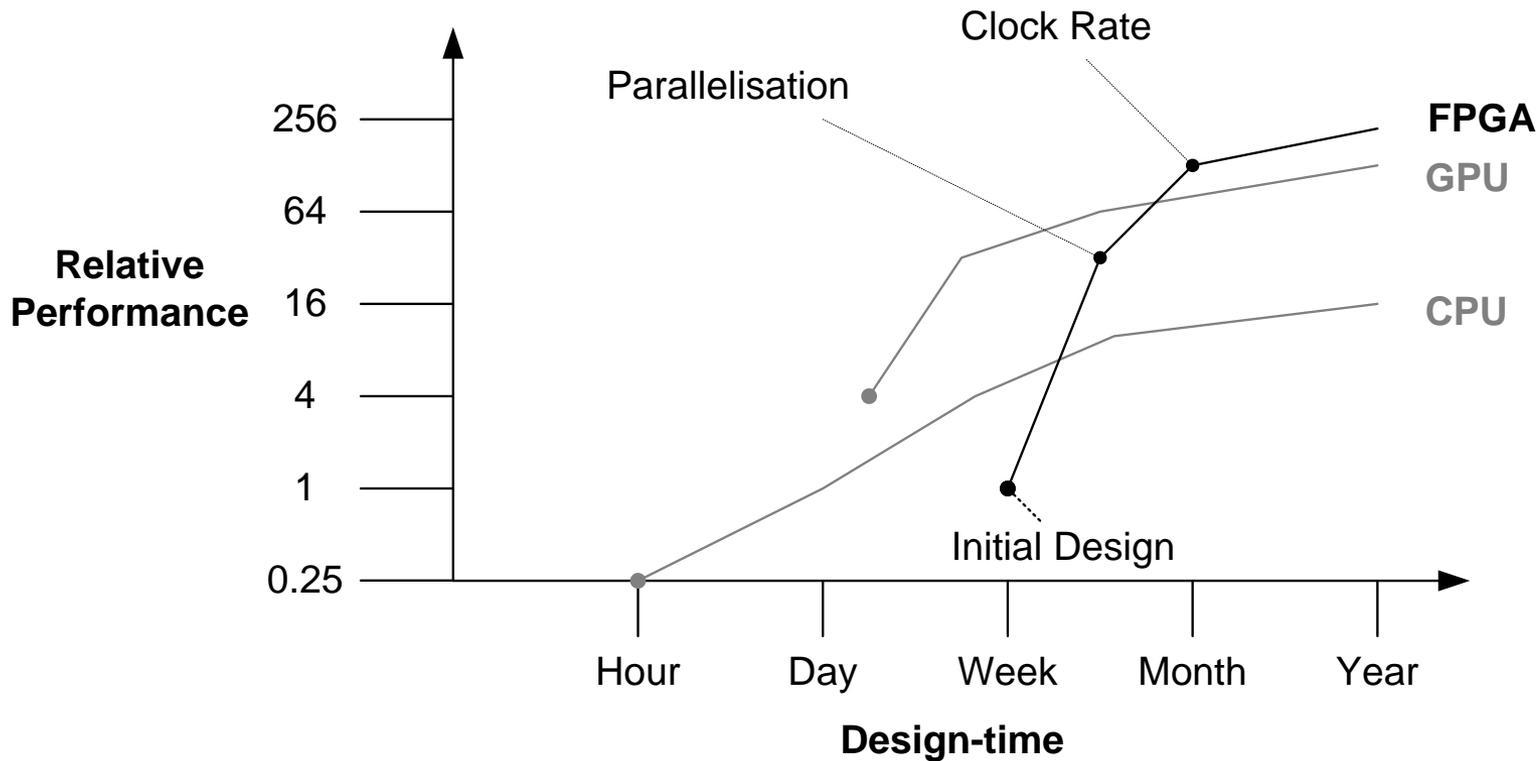
Pour utiliser les FPGA comme accélérateur de calcul

- Problématique adaptée au portage sur FPGA
- Investissement en temps pour le développement de briques de base

Pour gagner

- Des kilowatts
- De la climatisation
- Accès à des calculs temps réels

Conclusion



— Questions

Nous vous remercions de votre attention



Sarah Basset

Ingénieur R&D

Hardware/Software

Erik Hochapfel

Président

ADACSYS

7 rue de la Croix Martre

91120 Palaiseau

sarah.basset@adacsys.com



erik.hochapfel@adacsys.com



01 69 19 72 72



06 29 62 06 27